

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-282886

(43)Date of publication of application : 15.10.1999

(51)Int.Cl. G06F 17/50  
H01L 21/82

(21)Application number : 10-078866

(71)Applicant : FUJITSU LTD

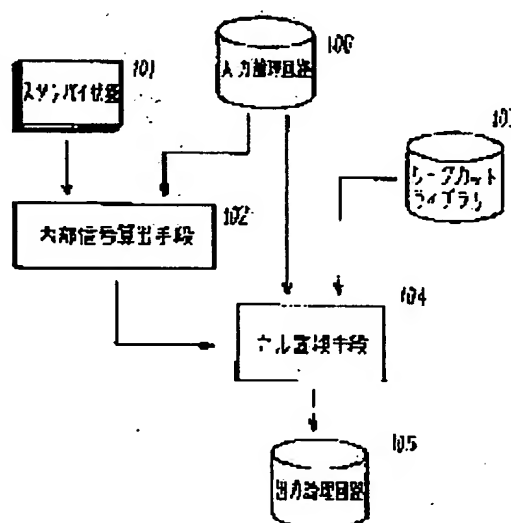
(22)Date of filing : 26.03.1998

(72)Inventor : KASHIWAKURA SHOICHIRO  
INOUE ATSUKI(54) SYSTEM AND METHOD FOR REPLACING CELL AND RECORDING MEDIUM  
RECORDING CELL REPLACEMENT PROGRAM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve low power consumption property without increasing a circuit scale by inputting a cell consisting of a high threshold transistor and low threshold transistor and registered cell information, replacing a cell in a logic circuit and outputting new logic circuit information.

**SOLUTION:** A signal value that is set to each node is calculated. An output of an internal signal calculating means 102, that is, a signal value that is set to each node in the existing logic circuit at the time of standby, an input logic circuit 100 and a leak cut library 103 are inputted to a cell replacing means 104 and the means 104 selects a cell which is for effectively cutting a leak current according to the signal value set to each node in the existing logic circuit from the library 103, replaces a cell, also replaces a pin when necessary and outputs a net list of an output logic circuit 105, that is, a new logic circuit which effectively cuts a leak current at the time of standby.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

[Date of extinction of right]

Copyright (C); 1998,2000 Japan's Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-282886

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 5 6 Z

H 0 1 L 21/82

H 0 1 L 21/82

C

審査請求 未請求 請求項の数20 O L (全 20 頁)

(21) 出願番号

特願平10-78866

(22) 出願日

平成10年(1998)3月26日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 柏倉 正一郎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 井上 淳樹

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

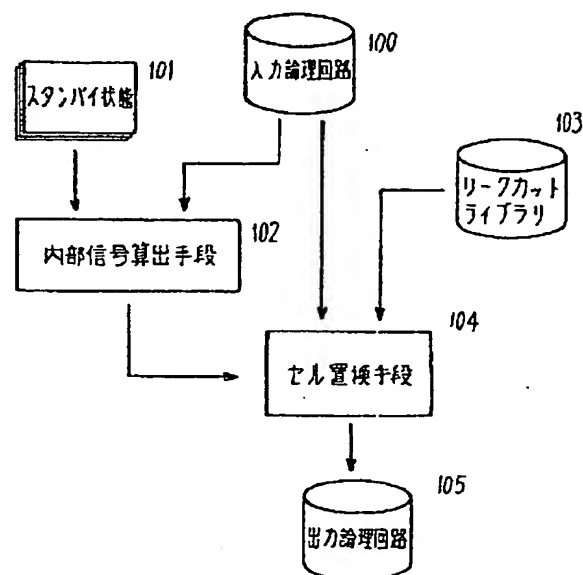
(54) 【発明の名称】 セル置換システム及び方法並びにセル置換プログラムを記録した記録媒体

(57) 【要約】

【課題】 スタンバイ時におけるリーク電流を有効に抑制して、低消費電力性にすぐれた半導体回路を提供することを目的とする。

【解決手段】 CADシステムにより、スタンバイ時における外部入力値によって一意的に定まる内部ノードの信号値に基づき既存論理回路内のセルをリーク電流を抑制する高閾値トランジスタと低閾値トランジスタとで構成されるセルに置き換える。

本発明の第1の原理図



**【特許請求の範囲】**

【請求項 1】論理回路情報と所定の信号情報とが入力され、該所定の信号情報に基づいて該論理回路の各ノードの信号値を算出する内部信号算出手段と、前記内部信号算出手段によって算出された内部信号と、前記論理回路情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理回路内のセルの置き換えを行って新たな論理回路情報を出力するセル置換手段と、を有することを特徴とするセル置換システム。

【請求項 2】トランジスタレベルで記述された回路情報と、所定の信号情報と、論理合成するために必要な情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理合成と、該所定の信号情報に基づいて論理回路の各ノードの信号値を算出する内部信号算出と、回路内のセルの置き換えとが行われる手段を有することを特徴とするセル置換システム。

【請求項 3】前記セルの置き換えは、ピンの置換処理をも行うことを特徴とする請求項 1 又は請求項 2 に記載のセル置換システム。

【請求項 4】前記所定の信号情報は、記憶素子の出力信号であることを特徴とする請求項 1 又は請求項 3 に記載のセル置換システム。

【請求項 5】前記所定の信号情報は、状態保持素子の出力信号であることを特徴とする請求項 1 又は請求項 3 に記載のセル置換システム。

【請求項 6】前記所定の信号情報は、メモリに記憶され、チェーン接続されたスキャン付きフリップフロップの各々に送られることを特徴とする請求項 4 又は請求項 5 に記載のセル置換システム。

【請求項 7】前記登録されたセル情報には、第 1 の入力端子が低閾値の第 1 導電型のトランジスタで構成される第 1 の回路と低閾値の第 2 導電型のトランジスタで構成される第 2 の回路とに接続され、第 2 の入力端子が前記第 1 の回路と前記第 2 の回路と高閾値の第 1 導電型のトランジスタ又は高閾値の第 2 導電型のトランジスタに接続されるセルが含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システム。

【請求項 8】前記登録されたセル情報には、電源電位側に設けられた一個又は複数個の低閾値のトランジスタと接地電位側に設けられた一個又は複数個の高閾値のトランジスタとから構成される NAND ゲートが含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システム。

【請求項 9】前記登録されたセル情報には、電源電位側に設けられた一個又は複数個の高閾値のトランジスタと接地電位側に設けられた一個又は複数個の低閾値のトランジスタとから構成される NAND ゲートが

含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システム。

【請求項 10】前記登録されたセル情報には、スタティック型論理ゲートが含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システム。

【請求項 11】前記内部信号算出手段によって算出された内部信号と前記回路情報と前記登録されたセル情報とが入力され、該登録されたセル情報から該回路内のセルに対応する一個又は複数個のセルを選択する手段と、前記選択された複数個のセルの中から一個のセルを選択する手段と、回路内のセルの置き換えを行って新たな論理回路情報を出力するセル置換手段と、を有することを特徴とする請求項 1 又は請求項 3 に記載のセル置換システム。

【請求項 12】前記ピンの置換処理は、所定の論理を実現するセルに入力する複数の配線の各々に接続される該セルの入力ピンを他の入力ピンと交換することを特徴とする請求項 3 に記載のセル置換システム。

【請求項 13】前記登録されたセル情報には、ブリチャージ用の高閾値の第 1 導電型のトランジスタと、一個又は複数個の入力端子に接続され低閾値の第 2 導電型のトランジスタで構成される回路とで構成されるセルが含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システム。

【請求項 14】前記登録されたセル情報には、ダイナミック型論理ゲートが含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システム。

【請求項 15】前記所定の信号情報を、電源電位又は接地電位に固定することを特徴とする請求項 1 又は請求項 3 に記載のセル置換システム。

【請求項 16】前記セル情報に登録されたセルは、スタンバイ時において高閾値トランジスタを遮断することによってリーク電流を抑制することを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システム。

【請求項 17】回路内のセルの置き換えを行って新たな論理回路情報を出力するセル置換方法であって、論理回路情報と所定の信号情報とが入力され、該所定の信号情報に基づいて該論理回路の各ノードの信号値を設定し、前記設定された内部信号と、前記論理回路情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理回路内のセルの置き換えを行って新たな論理回路情報を出力すること、を特徴とするセル置換方法。

【請求項 18】回路内のセルの置き換えを行って論理回路情報を出力するセル置換方法であって、



トランジスタレベルで記述された回路情報と、所定の信号情報と、論理合成するために必要な情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理合成と、該所定の信号情報に基づいて論理回路の各ノードの信号値を算出する内部信号算出と、回路内のセルの置き換えとが行われること、

を特徴とするセル置換方法。

【請求項 19】回路内のセルの置き換えを行って新たな論理回路情報を出力するためのセル置換プログラムを記録した記録媒体であって、

論理回路情報と所定の信号情報とが入力され、該所定の信号情報に基づいて該論理回路の各ノードの信号値を算出し、

前記算出された内部信号値と、前記論理回路情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理回路内のセルの置き換えを行って新たな論理回路情報を出力すること、

を特徴とするセル置換プログラムを記録した記録媒体。

【請求項 20】回路内のセルの置き換えを行って論理回路情報を出力するためのセル置換プログラムを記録した記録媒体であって、

トランジスタレベルで記述された回路情報と、所定の信号情報と、論理合成するために必要な情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理合成と、該所定の信号情報に基づいて論理回路の各ノードの信号値を算出する内部信号算出と、回路内のセルの置き換えとが行われること、

を特徴とするセル置換プログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低消費電力を実現する CMOS 論理回路を生成する CAD (Computer Aided Design) システムに関するものである。

【0002】

【従来の技術】CMOS 論理ゲート (セル) は、論理動作時においてのみ電力を消費し、スタンバイ時 (待機時) のリーク電流は極めて少ないという低消費電力性を有する。このため、CMOS 論理ゲート (セル) で構成される CMOS 論理回路は、電源として電池を長時間使用するような電子機器、例えば携帯端末や携帯電話などにとっては有用な LSI である。

【0003】しかしながら、CMOS 論理回路は電極の容量を充放電することにより論理動作を行うために、論理振幅を電源電圧と等しくすると、チップ全体の消費電力は、電源電圧の 2 乗に比例して、また、ゲート数及び動作周波数に比例して増大する。従って、近年の微細化

技術により多数のトランジスタを集積したチップの消費電力は極めて膨大なものとなる。

【0004】係る膨大な消費電力の低減を図るために CMOS 論理回路の電源電圧又は論理振幅を低下させる手法が知られているが、このように電源電圧又は論理振幅を低下させることはトランジスタの飽和電流の減少を招き、CMOS 論理回路の動作速度が大幅に低下する。この飽和電流の減少を防止するために、言い換えると、低い電源電圧又は論理振幅で大きな飽和電流を得るために、トランジスタの閾値を下げる手法が考えられるが、トランジスタの閾値の低下は遮断時 (オフ時) におけるトランジスタのリーク電流の増加を招く。即ち、高閾値のトランジスタを使用すれば、回路の動作速度は遅くなるがリーク電流を抑制することができ、低閾値のトランジスタを使用すれば、回路の動作速度は速くなるがリーク電流が増加する。

【0005】そこで、高閾値のトランジスタと低閾値のトランジスタとの双方を利用して、リーク電流を抑制しつつ回路動作の速度を速める手法が考えられる。このようにチップの消費電力を抑えるために、閾値の高いトランジスタと閾値の低いトランジスタとの双方を利用する手法が、特開平 9-46212 号公報に開示されている。

【0006】図 16 に従来技術である特開平 9-46212 号公報の第 1 の実施の形態のバッファ回路 (特開平 9-46212 号公報、図 1) を示す。9、10、11 及び 12 は低閾値の MOS トランジスタで構成されたインバータ、13 は高閾値の NMOS トランジスタ、14 は高閾値の PMOS トランジスタ、15 は低閾値の PMOS トランジスタ、16 は高閾値の NMOS トランジスタである。CL 信号が「1」、★CL 信号が「0」である場合には、トランジスタ 13、14 が導通状態となって、インバータ 9、10、11 及び 12 が動作状態となる。インバータ 9、10、11 及び 12 は低閾値電圧の MOS トランジスタで構成されているためにその動作速度は速い。次に、CL 信号が「0」、★CL 信号が

「1」である場合には、トランジスタ 13、14 が遮断状態となって、インバータ 9、10、11 及び 12 がスタンバイ状態 (待機状態) となる。このスタンバイ状態においては、高閾値のトランジスタ 13 及び 14 が遮断されることにより (高閾値のトランジスタ 13 及び 14 がオフすることにより)、VDD からインバータ 9、10、11 及び 12 を通って GND へ流れるリーク電流は有効にカットされる。

【0007】

【発明が解決しようとする課題】しかしながら、上述した閾値の高いトランジスタと閾値の低いトランジスタとの双方を利用してリーク電流をカットする手法においては以下のような問題点がある。第 1 に、図 16 に示す特開平 9-46212 号公報図 1 のバッファ回路において

は、高閾値トランジスタ13及び14の大きさを、バッファ回路の特性又は性能を考慮しながらインバータ9、10、11及び12の大きさに合わせて最適化する必要がある。この最適化は、バッファ回路の特性又は性能を評価するという非常に困難な処理を伴う。また、新たにインバータを追加する等の回路変更があった場合には、回路の特性又は性能を再評価して高閾値トランジスタの大きさを決める必要がある。従って、特開平9-46212号公報において開示する手法では、既存のCADシステムを利用して回路設計をすることが非常に困難となる。

【0008】第2に、新たな高閾値トランジスタ13及び14と、高閾値トランジスタ13及び14とインバータ9、10、11及び12とを接続するための新たな信号線とを必要とするために回路面積が増大し、半導体回路のコストの増大を招く。本発明は、上述した第1の問題点、即ち困難な回路特性評価という処理を伴うために既存のCADシステムの利用が非常に困難であること、及び上述した第2の問題点、即ち新たなトランジスタや信号線を使用するために回路規模が増大すること、という2つの問題を解決することにある。

#### 【0009】

【課題を解決するための手段及びその作用効果】〔請求項1〕請求項1においては、論理回路情報と所定の信号情報とが入力され、該所定の信号情報に基づいて該論理回路の各ノードの信号値を算出する内部信号算出手段と、前記内部信号算出手段によって算出された内部信号と、前記論理回路情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理回路内のセルの置き換えを行って新たな論理回路情報を出力するセル置換手段とを有することを特徴とするセル置換システムを提供する。

【0010】請求項1に係るセル置換システムによれば、既存の論理回路から、機能の同一性を維持させて、スタンバイ時のリーク電流を有効にカットする論理回路を設計することができる。また、請求項1に係るセル置換システムによれば、既存のCADシステムを容易に利用することができると共にセルの置き換えのみが行われるために（必要に応じてピンの置き換えも行われる）回路規模を増大させることなく低消費電力性にすぐれた半導体回路を設計することができる。

【0011】〔請求項2〕請求項2においては、トランジスタレベルで記述された回路情報と、所定の信号情報と、論理合成するために必要な情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理合成と、該所定の信号情報に基づいて論理回路の各ノードの信号値を算出する内部信号算出と、回路内のセルの置き換えとが行われる手段を有することを特徴とするセル置換システムを提供する。

【0012】請求項2に係るセル置換システムによれば、請求項1に係るセル置換システムと同様の効果を得ることができる。また、請求項2に係るセル置換システムによれば、論理合成とセルの置き換えとを同時に行うことができ、回路設計に要する時間を短縮することができる。

〔請求項3〕請求項3においては、前記セルの置き換えは、ピンの置換処理をも行うことを特徴とする請求項1又は請求項2に記載のセル置換システムを提供する。

【0013】請求項3に係るセル置換システムによれば、請求項1に係るセル置換システムと同様の効果を得ることができる。また、請求項3に係るセル置換システムによれば、リーク電流を有効にカットするセルへの置き換えのみならず、ピンの置き換え処理を行うことにより、更に有効にリーク電流のカットを行い、チップの低消費電力化を実現することができる。

【0014】〔請求項4〕請求項4においては、前記所定の信号情報は、記憶素子の出力信号であることを特徴とする請求項1又は請求項3に記載のセル置換システムを提供する。請求項4に係るセル置換システムによれば、請求項1に係るセル置換システムと同様の効果を得ることができる。

【0015】〔請求項5〕請求項5においては、前記所定の信号情報は、状態保持素子の出力信号であることを特徴とする請求項1又は請求項3に記載のセル置換システムを提供する。請求項5に係るセル置換システムによれば、請求項1に係るセル置換システムと同様の効果を得ることができる。

【0016】〔請求項6〕請求項6においては、前記所定の信号情報は、メモリに記憶され、チェーン接続されたスキャン付きフリップフロップの各々に送られることを特徴とする請求項4又は請求項5に記載のセル置換システムを提供する。請求項6に係るセル置換システムによれば、請求項1に係るセル置換システムと同様の効果を得ることができる。また、請求項6に係るセル置換システムによれば、スキャン付きフリップフロップを利用することにより、所定のパスの入力にスタンバイ時における所定の信号情報を容易に与えることができる。

【0017】〔請求項7〕請求項7においては、前記登録されたセル情報には、第1の入力端子が低閾値の第1導電型のトランジスタで構成される第1の回路と低閾値の第2導電型のトランジスタで構成される第2の回路とに接続され、第2の入力端子が前記第1の回路と前記第2の回路と高閾値の第1導電型のトランジスタ又は高閾値の第2導電型のトランジスタに接続されるセルが含まれることを特徴とする請求項1、請求項2又は請求項3に記載のセル置換システムを提供する。

【0018】請求項7に係るセル置換システムによれば、請求項1に係るセル置換システムと同様の効果を得ることができる。

【請求項 8】請求項 8 においては、前記登録されたセル情報には、電源電位側に設けられた一個又は複数の低閾値のトランジスタと接地電位側に設けられた一個又は複数の高閾値のトランジスタとから構成される NAND ゲートが含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システムを提供する。

【0019】請求項 8 に係るセル置換システムによれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。

【請求項 9】請求項 9 においては、前記登録されたセル情報には、電源電位側に設けられた一個又は複数の高閾値のトランジスタと接地電位側に設けられた一個又は複数の低閾値のトランジスタとから構成される NAND ゲートが含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システムを提供する。

【0020】請求項 9 に係るセル置換システムによれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。

【請求項 10】請求項 10 においては、前記登録されたセル情報には、スタティック型論理ゲートが含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システムを提供する。

【0021】請求項 10 に係るセル置換システムによれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。

【請求項 11】請求項 11 においては、前記内部信号算出手段によって算出された内部信号と前記回路情報と前記登録されたセル情報とが入力され、該登録されたセル情報から該回路内のセルに対応する一個又は複数のセルを選択する手段と、前記選択された複数のセルの中から一個のセルを選択する手段と、回路内のセルの置き換えを行って新たな論理回路情報を出力するセル置換手段とを有することを特徴とする請求項 1 又は請求項 3 に記載のセル置換システムを提供する。

【0022】請求項 11 に係るセル置換システムによれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。

【請求項 12】請求項 12 においては、前記ピンの置換処理は、所定の論理を実現するセルに入力する複数の配線の各々に接続される該セルの入力ピンを他の入力ピンと交換することを特徴とする請求項 3 に記載のセル置換システムを提供する。

【0023】請求項 12 に係るセル置換システムによれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。

【請求項 13】請求項 13 においては、前記登録されたセル情報には、プリチャージ用の高閾値の第 1 導電型のトランジスタと、一個又は複数の入力端子に接続された低閾値の第 2 導電型のトランジスタで構成される回路とで構成されるセルが含まれることを特徴とする請求項

1、請求項 2 又は請求項 3 に記載のセル置換システムを提供する。

【0024】請求項 13 に係るセル置換システムによれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。

【請求項 14】請求項 14 においては、前記登録されたセル情報には、ダイナミック型論理ゲートが含まれることを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システムを提供する。

【0025】請求項 14 に係るセル置換システムによれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。

【請求項 15】請求項 15 においては、前記所定の信号情報を、電源電位又は接地電位に固定することを特徴とする請求項 1 又は請求項 3 に記載のセル置換システムを提供する。

【0026】請求項 15 に係るセル置換システムによれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。また、請求項 14 に係るセル置換システムによれば、電源電位又は接地電位を所定の信号情報として使用することにより、スタンバイ時における回路内のノード電位を容易に固定することができるため、リーク電流のカットを安定して且つ有効に行うことができる。

【0027】【請求項 16】請求項 16 においては、前記セル情報に登録されたセルは、スタンバイ時において高閾値トランジスタをオフすることによってリーク電流を抑制することを特徴とする請求項 1、請求項 2 又は請求項 3 に記載のセル置換システムを提供する。

【0028】請求項 16 に係るセル置換システムによれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。

【請求項 17】請求項 17 においては、回路内のセルの置き換えを行って新たな論理回路情報を出力するセル置換方法であって、論理回路情報と所定の信号情報とが入力され、該所定の信号情報に基づいて該論理回路の各ノードの信号値を算出し、前記算出された内部信号値と、前記論理回路情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルに登録されたセル情報とが入力され、論理回路内のセルの置き換えを行って新たな論理回路情報を出力することを特徴とするセル置換方法を提供する。

【0029】請求項 17 に係るセル置換方法によれば、請求項 1 に係るセル置換システムと同様の効果を得ることができる。

【請求項 18】請求項 18 においては、回路内のセルの置き換えを行って論理回路情報を出力するセル置換方法であって、トランジスタレベルで記述された回路情報と、所定の信号情報と、論理合成するために必要な情報と、高閾値トランジスタと低閾値トランジスタとから構

成されるセルが登録されたセル情報とが入力され、論理合成と、該所定の信号情報に基づいて論理回路の各ノードの信号値を算出する内部信号算出と、回路内のセルの置き換えとが行われることを特徴とするセル置換方法を提供する。

【0030】請求項18に係るセル置換方法によれば、請求項2に係るセル置換システムと同様の効果を得ることができる。

【請求項19】請求項19においては、回路内のセルの置き換えを行って新たな論理回路情報を出力するためのセル置換プログラムを記録した記録媒体であって、論理回路情報と所定の信号情報とが入力され、該所定の信号情報に基づいて該論理回路の各ノードの信号値を算出し、前記算出された内部信号値と、前記論理回路情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理回路内のセルの置き換えを行って新たな論理回路情報を出力することを特徴とするセル置換プログラムを記録した記録媒体を提供する。

【0031】請求項19に係るセル置換プログラムを記録した記録媒体によれば、請求項1に係るセル置換システムと同様の効果を得ることができる。

【請求項20】請求項20においては、回路内のセルの置き換えを行って論理回路情報を出力するためのセル置換プログラムを記録した記録媒体であって、トランジスタレベルで記述された回路情報と、所定の信号情報と、論理合成するために必要な情報と、高閾値トランジスタと低閾値トランジスタとから構成されるセルが登録されたセル情報とが入力され、論理合成と、該所定の信号情報に基づいて論理回路の各ノードの信号値を算出する内部信号算出と、回路内のセルの置き換えとが行われることを特徴とするセル置換プログラムを記録した記録媒体を提供する。

【0032】請求項20に係るセル置換プログラムを記録した記録媒体によれば、請求項2に係るセル置換システムと同様の効果を得ることができる。

【0033】

【発明の実施の形態】図1に、本発明の第1の原理図を示す。図1は、既存の論理回路から、機能の同一性を維持させて、スタンバイ時のリーク電流を有効にカットする論理回路を設計するためのCADシステムのフローである。

【0034】入力論理回路100は、既存回路のネットリスト（ゲートレベル論理回路）であり、スタンバイ状態101は、スタンバイ時において外部から与えられる所定の信号情報であり、リークカットライブラリ103はスタンバイ時において有効にリーク電流をカットするセルが登録されたセルライブラリ（セル情報）であり、出力論理回路105はスタンバイ時において有効にリーク電流をカットするセルに置き換えられた新規論理回路

のネットリストである。

【0035】入力論理回路100とスタンバイ状態101とが、内部信号算出手段102に入力され、該内部信号算出手段102は、外部からの所定の信号値が既存論理回路に与えられた場合における既存論理回路内の各ノードに設定される信号値を算出する。そして、内部信号算出手段102の出力、即ちスタンバイ時において既存論理回路内の各ノードに設定される信号値と、入力論理回路100と、リークカットライブラリ103とが、セル置換手段104に入力され、該セル置換手段104は、既存論理回路内の各ノードに設定された信号値によりリーク電流を効果的にカットするためのセルをリークカットライブラリ103から選び出して、セルの置き換えを行い、また必要なときはピンの置き換えをも行い、出力論理回路105、即ちスタンバイ時のリーク電流を有効にカットする新規論理回路のネットリストを出力する。なお、セルの置き換えについては図4及び図5において、ピンの置き換えについては図8において、それぞれ詳しく説明する。

【0036】このように、図1に示すCADシステムによれば、スタンバイ時のリーク電流をカットするのに有効なセルで置き換えられた新規論理回路を得ることができる。図2に、本発明の第2の原理図を示す。図2は、図1と同様に、既存の回路から、機能の同一性を維持させて、スタンバイ時のリーク電流を有効にカットする回路を設計するためのCADシステムのフローであるが、CADシステムに入力する回路情報がネットリストではなく、RTL（Register Transfer Level）記述であることで相違する。

【0037】RTL106は、既存回路のRTL記述であり、スタンバイ状態101は、スタンバイ時において外部から与えられる所定の信号情報であり、リークカットライブラリ103はスタンバイ時において有効にリーク電流をカットするセルが登録されたセルライブラリ（セル情報）であり、タイミングライブラリ107は論理合成を行うための必要なタイミング情報が登録されたライブラリであり、出力論理回路105はスタンバイ時において有効にリーク電流をカットするセルで構成された新規回路のネットリストである。

【0038】RTL106と、スタンバイ状態101と、タイミングライブラリ107と、リークカットライブラリ103とが、論理回路合成手段108に入力され、該論理回路合成手段108は、RTL106を論理合成によりネットリストへと展開するが、スタンバイ時において有効にリーク電流をカットするセルを使用してネットリストへと展開する。セルの選択は、図1で示したCADシステムと同様に、スタンバイ状態101で指定されたスタンバイ時における外部信号情報により論理回路内の各ノードに設定された信号値を基にして、リーク電流を有効にカットするためのセルをリークカットラ

イブラリ 103 から選び出して行われる。また、必要なときはピンの置き換えも行われる。

【0039】図 2 に示す RTL 記述を入力する CAD システムのフローにおいては、論理合成とセルの置き換えとを同時に行うことができ（必要なときはピンの置き換えも同時に行われる）、回路設計に要する時間を短縮することができる。このように、図 2 に示す CAD システムによれば、RTL 記述から直接的にスタンバイ時のリーク電流を有効にカットするセルで置き換えられた新規ネットリストを得ることができる。

【0040】なお、図 1 及び図 2 に示すセル置換システムは、プログラムとして半導体メモリ（RAM、ROM）、フロッピーディスク（FD）、ハードディスク（HD）、光ディスク（CD、DVD）、光磁気ディスク（MO、MD）、磁気テープなどの記録媒体に登録される。図 3 に、本発明のセルの第 1 の原理図を示す。即ち、図 3 においては、図 1 及び図 2 で示されたセルライブラリ（セル情報）であるリークカットライブラリ 103 に登録されたリーク電流を有効にカットするセルの第 1 の原理図を示す。

【0041】図 3（a）及び図 3（b）は、ともに 2 入力力で 1 出力のスタティック型論理ゲート（static gate）を示している。図 3（a）においては、第 1 の入力端子 Input A は低閾値の PMOS トランジスタ（pmos Low Vth）で構成される第 1 の回路 150 と低閾値の NMOS トランジスタ（nmos Low Vth）で構成される第 2 の回路 151 とに接続され、第 2 の入力端子 Input B は低閾値の PMOS トランジスタ（pmos Low Vth）で構成される第 1 の回路 150 と低閾値の NMOS トランジスタ（nmos Low Vth）で構成される第 2 の回路 151 と高閾値の NMOS トランジスタ（nmos High Vth）152 のゲートとに接続される。また、出力端子 Output は第 1 の回路 150 と第 2 の回路 151 とが接続される出力ノード 153 に接続されている。

【0042】ここで、第 2 の入力端子 Input B に入力信号「0」を供給すると、高閾値の NMOS トランジスタ 152 は遮断（オフ）して、出力端子 Output には出力信号「1」が出力される。高閾値の NMOS トランジスタ 152 が遮断（オフ）したために、電源電位から接地電位へ至るパスのリーク電流が有効にカットされる。このように、高閾値の NMOS トランジスタ 152 が遮断（オフ）すればリーク電流はカットされるのであるから、第 1 の入力端子 Input A には「0」又は「1」何れの入力信号が供給されてもよい。なお、第 1 の回路 150 には複数の低閾値の PMOS トランジスタが、第 2 の回路 151 には複数の低閾値の NMOS トランジスタが記載されているが、これは、電源電位から高閾値の NMOS トランジスタ 152 へのパスが一つとは

限らないことを表している。スタンバイ時において高閾値の NMOS トランジスタ 152 が常に遮断（オフ）すればリーク電流は有効にカットされるのであるから、回路 150 及び回路 151 はどのようなトランジスタ構成になっていても構わない。

【0043】図 3（b）においては、第 1 の入力端子 Input A は高閾値の PMOS トランジスタ（nmos High Vth）154 のゲートと低閾値の PMOS トランジスタ（pmos Low Vth）で構成される第 1 の回路 155 と低閾値の NMOS トランジスタ（nmos Low Vth）で構成される第 2 の回路 156 とに接続され、第 2 の入力端子 Input B は低閾値の PMOS トランジスタ（pmos Low Vth）で構成される第 1 の回路 155 と低閾値の NMOS トランジスタ（nmos Low Vth）で構成される第 2 の回路 156 とに接続される。また、出力端子 Output は第 1 の回路 155 と第 2 の回路 156 とが接続される出力ノード 157 に接続されている。

【0044】ここで、第 1 の入力端子 Input A に入力信号「1」を供給すると、高閾値の PMOS トランジスタ 152 が遮断（オフ）して、出力端子 Output には出力信号「0」が出力される。高閾値の PMOS トランジスタ 154 が遮断（オフ）したために、電源電位から接地電位へ至るパスのリーク電流が有効にカットされる。このように、高閾値の PMOS トランジスタ 154 が遮断（オフ）すればリーク電流はカットされるのであるから、第 2 の入力端子 Input B には「0」又は「1」何れの入力信号が供給されてもよい。なお、第 1 の回路 155 には複数の低閾値の PMOS トランジスタが、第 2 の回路 156 には複数の低閾値の NMOS トランジスタが記載されているが、これは、接地電位から高閾値の PMOS トランジスタ 154 へのパスが一つとは限らないことを表している。スタンバイ時において高閾値の PMOS トランジスタ 154 が常に遮断（オフ）すればリーク電流は有効にカットされるのであるから、回路 155 及び回路 156 はどのようなトランジスタ構成になっていても構わない。

【0045】図 4 に、本発明の第 1 の実施例を、図 5 に、本発明の第 2 の実施例を、図 6 に、本発明の第 3 の実施例をそれぞれ示す。図 4、図 5 及び図 6 において、図 1 で示す CAD システムの内容を具体的な回路で説明する。図 4 に示す論理回路は、3 個の D フリップフロップ 201、202 及び 203 と（以下、D フリップフロップを D-FF と記述する）、4 個の NAND ゲート 204、205、206 及び 207 から構成されている。即ち、D-FF 201 の出力と D-FF 202 の出力とが NAND ゲート 204 に入力され、D-FF 202 の出力と D-FF 203 の出力とが NAND ゲート 205 に入力され、NAND ゲート 204 と NAND ゲート 205 の出力が NAND ゲート 206 に入力され、NAND



Dゲート205の出力とD-FF203の出力とがNANDゲート207に入力されている。

【0046】図4は、スタンバイ時においてリーク電流をカットするためのセルの置き換えが行われた後の論理回路の状態を示す。即ち、D-FF201、202及び203の出力値はスタンバイ時において外部から与えられる所定の信号情報（スタンバイ状態101）に相当し、図4に示される括弧付き数字は、D-FF201、202及び203の各々の出力値であるか又はスタンバイ時において外部から与えられる所定の信号情報（スタンバイ状態101）として「0」信号が与えられた場合の各ノードにおける信号値を示すものである。

【0047】ここで、NANDゲート204、205及び207は、第1のNANDゲートで構成され、NANDゲート206は第2のNANDゲートで構成されている。図5(a)に第1のNANDゲートを示し、図5

(b)に第2のNANDゲートを示す。図5(a)に示される第1のNANDゲートは、低閾値のPMOSトランジスタ207、208と、低閾値のNMOSトランジスタ209と、高閾値のNMOSトランジスタ210から構成される。第1の入力端子A1が低閾値のPMOSトランジスタ207のゲートと低閾値のNMOSトランジスタ209のゲートとに接続され、第2の入力端子A2が低閾値のPMOSトランジスタ208のゲートと高閾値のNMOSトランジスタ210のゲートとに接続され、低閾値のPMOSトランジスタ207のソース又はドレインと低閾値のNMOSトランジスタ209のドレイン又はソースとが接続されるノードが低閾値のPMOSトランジスタ208のソース又はドレインと出力端子Outputとに接続されている。

【0048】このように、低閾値トランジスタ207、208及び209は電源電位側に設けられ、高閾値トランジスタ210は接地電位側に設けられている。即ち、電源電位側から接地電位側へ流れる電流は、低閾値トランジスタ207、208又は209の何れのトランジスタを通過しようとも常に高閾値トランジスタ210を通過するような構成となっている。係る構成は、スタンバイ時において接地電位側に設けられた高閾値トランジスタ210を遮断状態（オフ状態）にすれば、電源電位側から接地電位側へ流れるリーク電流を有効にカットできることを表している。図5(a)においては、スタンバイ時には、入力端子A2には「0」信号を与えるようにして高閾値トランジスタ210を常に遮断状態（オフ状態）にする。低閾値トランジスタ207、208又は209は導通状態（オン状態）又は遮断状態（オフ状態）何れの状態でも構わないために低閾値トランジスタ207及び209への入力端子A1には「0」信号又は「1」信号の何れをも設定できる。

【0049】図5(b)に示される第2のNANDゲートは、高閾値のPMOSトランジスタ211、212

と、低閾値のNMOSトランジスタ213、214とから構成される。第1の入力端子A1が高閾値のPMOSトランジスタ211のゲートと低閾値のNMOSトランジスタ213のゲートとに接続され、第2の入力端子A2が高閾値のPMOSトランジスタ212のゲートと低閾値のNMOSトランジスタ214のゲートとに接続され、高閾値のPMOSトランジスタ211のソース又はドレインと低閾値のNMOSトランジスタ213のドレイン又はソースとが接続されるノードが高閾値のPMOSトランジスタ212のソース又はドレインと出力端子Outputとに接続されている。

【0050】このように、高閾値トランジスタ211及び212は電源電位側に設けられ、低閾値トランジスタ213及び214は接地電位側に設けられている。即ち、電源電位側から接地電位側へ流れる電流は、高閾値トランジスタ211又は212を常に通過するような構成となっている。係る構成は、スタンバイ時において接地電位側に設けられた高閾値トランジスタ211及び212の双方を遮断状態（オフ状態）にすれば、電源電位側から接地電位側へ流れるリーク電流を有効にカットできることを表している。図5(b)においては、スタンバイ時には、入力端子A1には「1」信号を与え、入力端子A2にも「1」を与えるようにして高閾値トランジスタ211及び212の双方を常に遮断状態（オフ状態）にする。

【0051】ここで、図4の説明に戻る。図4においては、前述したように、NANDゲート204、205、206及び207は、第1のNANDゲートで構成され、NANDゲート207は第2のNANDゲートで構成され、また、括弧付き数字は、スタンバイ時における各ノードの信号値を示すものである第1のNANDゲートであるNANDゲート204においては第2の入力端子A2にD-FF202の出力信号「0」が入力されるため、高閾値トランジスタ210が遮断（オフ）してリーク電流が有効にカットされる。

【0052】同様に、第1のNANDゲートであるNANDゲート205においては第2の入力端子A2にD-FF203の出力信号「0」が入力されるため、高閾値トランジスタ210が遮断（オフ）してリーク電流が有効にカットされる。同様に、第1のNANDゲートであるNANDゲート207においては第2の入力端子A2にD-FF203の出力信号「0」が入力されるため、高閾値トランジスタ210が遮断（オフ）してリーク電流が有効にカットされる。

【0053】第2のNANDゲートであるNANDゲート206においては第1の入力端子A1にNANDゲート204の出力信号「1」が入力され、第2の入力端子A2にNANDゲート205の出力信号「1」が入力されるため、高閾値トランジスタ211及び212が共に遮断（オフ）してリーク電流が有効にカットされる。な

お、図4においては、D-FFの出力値をスタンバイ時において外部から与えられる所定の信号情報（スタンバイ状態101）としたが、D-FFには限られずスタンバイ時においてノードの信号値を一意的に定められる回路であればなんでもよい。

【0054】図6に、D-FFのような記憶素子以外の回路の出力値をスタンバイ時において外部から与えられる所定の信号情報（スタンバイ状態101）とする実施例を示す。図6に示す論理回路は、図4に示す論理回路のD-FFとNANDゲートとの間にAND回路を挿入したものである。具体的に述べると、D-FF201の出力がANDゲート216に入力され、ANDゲート216の出力がNANDゲート204に入力され、D-FF202の出力がANDゲート217に入力され、ANDゲート217の出力がNANDゲート204とNANDゲート205に入力され、D-FF203の出力がANDゲート218に入力され、ANDゲート218の出力がNANDゲート205とNANDゲート207に入力されており、NANDゲートの構成は図4と全く同じである。

【0055】ANDゲート216、217及び218の他方の入力端子には、スタンバイ時であることを示すStand-by信号が供給される。このStand-by信号として「0」信号が供給されることにより、ANDゲート216、217及び218のそれぞれの出力は「0」信号に固定され、ANDゲート216、217及び218の出力に接続されるNANDゲート204、205及び207への入力値即ちスタンバイ時において外部から与えられる所定の信号情報（スタンバイ状態101）が一意的に保持される。このように、ANDゲートのような状態保持回路を挿入することにより、スタンバイ時において外部から与えられる所定の信号情報（スタンバイ状態101）を容易に設定することができる。

【0056】図7に、本発明の第4の実施例を示す。図7においても、図4と同様に、図1で示すCADシステムの内容を具体的な回路で説明する。図7に示す論理回路は、3個のスクラン付きDフリップフロップ208、209及び210と（以下、Dフリップフロップをスクラン付きD-FFと記述する）、4個のNANDゲート211、212、213及び214と、メモリ215とから構成されている。この図6に示す回路は、D-FFがスクラン付きD-FFである点と、メモリがスクラン付きD-FFに接続されている点において、図4に示す論理回路と異なる。

【0057】図7に示す論理回路では、スクラン付きD-FFがチェーン接続されている。図7に示す論理回路の具体的構成を述べる。スクラン付きD-FF208の出力とスクラン付きD-FF209の出力とが第1のNANDゲート211に入力され、スクラン付きD-FF209の出力とスクラン付きD-FF210の出力とが

第1のNANDゲート212に入力され、第1のNANDゲート211と第1のNANDゲート212の出力が第2のNANDゲート213に入力され、第1のNANDゲート212の出力とスクラン付きD-FF210の出力とが第1のNANDゲート214に入力され、メモリ215がスクラン付きD-FF210のスクランイン端子S1に接続され、スクラン付きD-FF210のスクランアウト端子がスクラン付きD-FF209のスクランイン端子に接続され、スクラン付きD-FF209のスクランアウト端子がスクラン付きD-FF208のスクランイン端子に接続されている。

【0058】図7は、図4と同様に、スタンバイ時においてリーク電流をカットするためのセルの置き換えが行われた後の論理回路の状態を示す。即ち、スクラン付きD-FF208、209及び210の出力値はスタンバイ時における外部入力信号に相当し、図6に示される括弧付き数字は、スクラン付きD-FF208、209及び210の各々の出力値であるか又は外部入力信号として「0」信号が与えられた場合の各ノードにおける信号値を示すものである。ここで図4と異なる点は、スクラン付きD-FF208、209及び210の出力値即ちスタンバイ時において外部から与えられる所定の信号情報（スタンバイ状態101）は、チェーン接続されたスクラン経路によってメモリ215から与えられることである。メモリ215はスタンバイ時において外部から与えられる所定の信号情報（スタンバイ状態101）をスクラン付きD-FF210のスクランイン端子S1に送り込む。スクラン付きD-FF210はスクランイン端子S1に送り込まれた信号を出力端子Qに出力すると共にスクランアウト端子SOからスクラン付きD-FF209のスクランイン端子S1に送り込む。同様に、スクラン付きD-FF209はスクランイン端子S1に送り込まれた信号を出力端子Qに出力すると共にスクランアウト端子SOからスクラン付きD-FF208のスクランイン端子S1に送り込む。同様に、スクラン付きD-FF208はスクランイン端子S1に送り込まれた信号を出力端子Qに出力すると共にスクランアウト端子SOから図示されない他のスクラン付きD-FFのスクランイン端子S1に送り込む。

【0059】このように、スクラン付きD-FFを利用すると、所定のバスの入力にスタンバイ時において外部から与えられる所定の信号情報（スタンバイ状態101）を容易に設定することができる。なお、NANDゲート211、212、213及び214内の各々の高閾値トランジスタが、リーク電流をカットするためにスタンバイ時に遮断（オフ）する原理は図4における説明と全く同様であるので、ここでは省略する。

【0060】以上説明したように、図1又は図2によるCADシステムによれば、図5に示すような高閾値のトランジスタと低閾値のトランジスタとの双方で構成され

るセルを利用して、スタンバイ時におけるリーク電流を有効にカットできる回路を設計することができる。図8に、本発明の第3の原理図を示す。

【0061】図8において、図1で示したCADシステムにおけるセル置換手段104の詳細のフローを示す。既存論理回路のネットリスト（ゲートレベル論理回路）である入力論理回路100と、スタンバイ時におけるリーク電流を有効にカットするセルが登録されたセルライブラリ（セル情報）であるリークカットライブラリ103と、図1又は図2に示すCADフローにおいて計算されたスタンバイ時における既存論理回路内の各ノードに設定される信号値である内部信号値109とが、合致回路検出手段110に入力される。ここで、内部信号値109は前述したように、入力論理回路100とスタンバイ状態101とに基づいて、図1に示す内部信号算出手段102又は図2に示す論理回路合成手段108において計算された情報である。合致回路検出手段110は、内部信号値109に基づいて、各々の既存セルに対して、リーク電流を有効にカットするためのセルをリークカットライブラリ103から一個又は複数個選び出す。そして、回路選択手段111は、合致回路検出手段110において選び出された複数のセルから、全体の回路構成やセルの機能などを考慮して最もリーク電流を効果的にカットするセルを各々選び出す。なお、合致回路検出手段110において唯一つのセルが選ばれた場合には、回路選択手段111における最良のセルの選択処理は行われない。次に、第2のセル置換手段112において、既存のセルを回路選択手段111により選び出された最良のセルに置き換え、そして必要がある場合にはピンの置き換えをも行う。このピンの置き換えの処理内容は、図9において説明する。

【0062】このように、図1に示すセル置換手段104は、合致回路検出手段110、回路選択手段111及び第2のセル置換手段112とから構成され、新しいネットリストである出力論理回路105を出力する。図9は、本発明の第5の実施例であるピンの置き換えの一例を示す。図9（a）は、NANDゲートとその等価回路を示す。このNANDゲートは図5（a）で示すNANDゲートと同じトランジスタ構成をしており、第1の入力端子A1と第2の入力端子A2と出力端子Outputとを有し、低閾値のPMOSTランジスタ207、208と、低閾値のNMOSTランジスタ209と、高閾値のNMOSTランジスタ210とから構成される。スタンバイ時において接地電位側に設けられた高閾値トランジスタ210を遮断（オフ）すれば、電源電位側から接地電位側へ流れるリーク電流を有効にカットできるため、スタンバイ時には入力端子A1には「0」信号を与えるようにして高閾値トランジスタ210を常に遮断（オフ）する必要がある。従って、例えば図9（b）に示すように、スタンバイ時において信号値「0」に状態

が保たれる第1の配線W1がNANDゲートの第1の入力端子A1へ接続され、信号値「1」に状態が保たれる第2の配線W2がNANDゲートの第2の入力端子A2へ接続されている場合には、高閾値トランジスタ210を遮断（オフ）することができないために電源電位側から接地電位側へ流れるリーク電流を有効にカットすることができない。一方、NANDゲートの2つの入力A1とA2は論理的に等価であり、相互に入力信号が交換されてもその出力信号の値は変わらない。そこで、NANDゲートの入力端子へ接続される配線の置き換えを行うことが可能である。このように論理的に等価な入力端子に対してこれらの入力端子に接続された信号線を交換することを、ピンの置換と呼ぶことにする。

【0063】このピンの置換が行われた後のNANDゲートを図9（c）に示す。図9（c）においては、信号値「1」に状態が保たれる第2の配線W2がNANDゲートの第1の入力端子A1へ接続され、信号値「0」に状態が保たれる第1の配線W2がNANDゲートの第2の入力端子A2へ接続されている。このように、本発明においては、リーク電流を有効にカットするセルへの置き換えのみならず、ピンの置換処理を行うことにより、更に有効にリーク電流のカットを行い、チップの低消費電力化を実現している。

【0064】図10及び図11に、本発明のセルの第2の原理図を示す。図10及び図11において、図1、図2及び図8で示すリークカットライブラリ103に登録されたリーク電流を有効にカットするセルの第2の原理図を示す。図9及び図10は、ともにダイナミック型論理ゲートを示している。

【0065】図10（a）においては、クロック端子CKがプリチャージ用のトランジスタである高閾値のPMOSTランジスタ160のゲートとダイナミック型論理ゲートの動作の安定化のために使用される低閾値のNMOSTランジスタ162のゲートとに接続され、複数の入力端子Input1、Input2・・・Inputn（nは正の整数）が評価用のトランジスタである低閾値のNMOSTランジスタ163、164及び165によって構成される回路161に接続され、プリチャージ用のトランジスタである高閾値のPMOSTランジスタ160と回路161とが接続されるノード166に出力端子Outputが接続されると共に電荷蓄積ノードC1が接続される。なお、図10（a）上では回路161内には3個の評価用の低閾値のトランジスタ163、164及び165のみが記載されているが、この評価用の回路のトランジスタ構成はゲートが有する機能によって決定されるために、3個とは限られず3個未満の場合や4個以上の場合も当然にあり得る。

【0066】図10（a）に示すように構成されているゲートをダイナミック型論理ゲートという。なお、ダイナミック型論理ゲートにおいては、ゲートの安定化のた



めに使用される低閾値のNMOSトランジスタ162は無い場合もある。図10(a)に示すダイナミック型論理ゲートの動作を説明する。クロック信号Φが「0」となることにより、クロック端子CKに接続される高閾値のPMOSTランジスタ160が導通(オン)して、電荷蓄積ノードC1が電源電位まで充電されるか又は電荷蓄積ノードC1に蓄積された電荷がそのまま保存されていずれにしても出力端子には信号値「1」が出力される。そして、クロック信号Φが「1」となることにより、クロック端子CKに接続される高閾値のPMOSTランジスタ160が遮断(オフ)し、複数の入力端子Input1、Input2・・・Inputnへの入力信号の組合せに応じて回路161内の評価用の低閾値のトランジスタが導通(オン)又は遮断(オフ)することによって、電荷蓄積ノードC1に蓄積された電荷がそのまま保存されるか又は接地電位までに放電されるかが決定される。

【0067】図10(b)は、上記した図10(a)に示すダイナミック型論理ゲートの動作を示すタイミング図である。クロック信号Φが「0」である間はダイナミック型論理ゲートのプリチャージのフェーズであり、電荷蓄積ノードC1が電源電位に充電されるか又は電荷蓄積ノードC1に蓄積された電荷がそのまま保存され、クロック信号Φが「1」である間はダイナミック型論理ゲートの評価のフェーズであり、電荷蓄積ノードC1に充電された電荷は保存されるか又は接地電位までに放電される。

【0068】図10(a)に示すダイナミック型論理ゲートの遅延時間は、評価用のトランジスタにより電荷蓄積ノードに充電された電荷が放電される速度で決定される。従って、図10(a)に示すように、評価用のトランジスタ163、164及び165を低閾値のNMOSTランジスタで構成することにより、その動作速度を高めることができる。一方、プリチャージ用のトランジスタ160を高閾値のPMOSTランジスタとしているので、スタンバイ時においてクロック信号Φに「1」を設定し、このプリチャージ用のトランジスタ160を遮断(オフ)するようにすれば電源電位から接地電位へ至るパスのリーク電流を有効にカットすることができる。

【0069】図11(a)においては、クロック端子CKがプリチャージ用のトランジスタである高閾値のNMOSTランジスタ170のゲートとダイナミック型論理ゲートの動作の安定化のために使用される低閾値のPMOSTランジスタ172のゲートとに接続され、複数の入力端子Input1、Input2・・・Inputn(nは正の整数)が評価用のトランジスタである低閾値のPMOSTランジスタ173、174及び175によって構成される回路171に接続され、プリチャージ用のトランジスタである高閾値のNMOSTランジスタ170と回路171とが接続されるノード176に出力

端子Outputが接続されると共に電荷蓄積ノードC1が接続される。なお、図11(a)上では回路171内には3個の評価用の低閾値のトランジスタ173、174及び175のみが記載されているが、この評価用の回路のトランジスタ構成はゲートが有する機能によって決定されるために、3個とは限られず3個未満の場合や4個以上の場合も当然にあり得る。

【0070】図11(a)に示すように構成されているゲートは、図11(a)に示すゲートと同様にダイナミック型論理ゲートである。なお、前述したように、ダイナミック型論理ゲートにおいては、ゲートの安定化のために使用される低閾値のPMOSTランジスタ172は無い場合もある。図11(a)に示すダイナミック型論理ゲートの動作を説明する。

【0071】クロック信号Φが「1」となることにより、クロック端子CKに接続される高閾値のNMOSTランジスタ170が導通(オン)して、電荷蓄積ノードC1が充電された電荷が放電されるか又は放電状態がそのまま保持されるかが決定されていずれにしても出力端子には信号値「0」が出力される。そして、クロック信号Φが「0」となることにより、クロック端子CKに接続される高閾値のNMOSTランジスタ170が遮断(オフ)し、複数の入力端子Input1、Input2・・・Inputnへの入力信号の組合せに応じて回路171内の評価用の低閾値のトランジスタが導通(オン)又は遮断(オフ)することによって、電源電位までに充電されるか又は放電状態がそのまま保持されるかが決定される。

【0072】図11(b)は、上記した図11(a)に示すダイナミック型論理ゲートの動作を示すタイミング図である。クロック信号Φが「0」である間はダイナミック型論理ゲートの評価のフェーズであり電源電位までに充電されるか又は放電状態がそのまま保持され、クロック信号Φが「1」である間はダイナミック型論理ゲートのプリチャージのフェーズであり、電荷蓄積ノードC1に充電された電荷が放電されるか又は放電状態がそのまま保持されるかが決定される。

【0073】図11(a)に示すダイナミック型論理ゲートの遅延時間は、評価用のトランジスタにより電荷蓄積ノードに電荷が充電される速度で決定される。従って、図11(a)に示すように、評価用のトランジスタ173、174及び175を低閾値のPMOSTランジスタで構成することにより、その動作速度を高めることができる。一方、プリチャージ用のトランジスタ170を高閾値のNMOSTランジスタとしているので、スタンバイ時においてクロック信号Φに「0」を設定してこのプリチャージ用のトランジスタ170を遮断(オフ)するようにすれば電源電位から接地電位へ至るパスのリーク電流を有効にカットすることができる。

【0074】図12及び図13において、ダイナミック

型論理ゲートを利用した本発明の第6実施例を示す。図12及び図13においては、ダイナミック型論理ゲートを多段接続した回路を示す。図12においては、第1のダイナミック型論理ゲート262が、インバータ263を介して第2のダイナミック型論理ゲート264に接続されている。

【0075】ここで、第1のダイナミック型論理ゲート262は、図9(a)に示すダイナミック型論理ゲートと同じ構成をしている。即ち、第1のダイナミック型論理ゲート262においては、クロック端子CKがプリチャージ用のトランジスタである高閾値のPMOSトランジスタ250のゲートとダイナミック型論理ゲートの動作の安定化のために使用される低閾値のNMOSトランジスタ252のゲートとに接続され、複数の入力端子Input1、Input2・・・Inputn(nは正の整数)が評価用のトランジスタである低閾値のNMOSトランジスタ253、254及び255によって構成される回路251に接続され、プリチャージ用のトランジスタである高閾値のPMOSトランジスタ250と回路251とが接続されるノード256に出力端子が接続されると共に電荷蓄積ノードC1が接続される。なお、上述したように、回路251内には3個の評価用の低閾値のトランジスタ253、254及び255のみが記載されているが、この評価用の回路のトランジスタ構成はゲートが有する機能によって決定されるために、3個とは限られず3個未満の場合や4個以上の場合も当然にあり得る。

【0076】第2のダイナミック型論理ゲート264も、図10(a)で示されるダイナミック型論理ゲートと同じ構成をしている。クロック端子CKがプリチャージ用のトランジスタである高閾値のPMOSトランジスタ259のゲートとダイナミック型論理ゲートの動作の安定化のために使用される低閾値のNMOSトランジスタ261のゲートとに接続され(接続線は図示されない)、複数の入力端子Input1、Input2・・・Inputn(nは正の整数)が評価用のトランジスタで構成される回路260に接続されているが、簡略化のため、出力端子に接続される電荷蓄積ノードC1は省略されている。また、回路260の内部構成は、そのゲートの機能により決定されるために特定していないが、評価用のトランジスタである低閾値のNMOSトランジスタで構成される。

【0077】インバータ263は、低閾値のPMOSトランジスタ257が電源電位側に配置され、高閾値のNMOSトランジスタ258が接地電位側に配置されている。第1のダイナミック型論理ゲート262の出力端子はインバータ263の入力端子に接続され、インバータ263の出力端子は第2のダイナミック型論理ゲート264の入力端子に接続される。

【0078】このように、ダイナミック型論理ゲート同

士を反転CMOSゲートを介して接続する手法はドミノ論理と言われる。ダイナミック型論理ゲート同士を直接に接続すると、遅延のために次段のダイナミック型論理ゲートが評価フェーズに入った後に該ダイナミック型論理ゲートに信号が入力されることになり、誤動作の原因となる。この誤動作を防止するために、ドミノ論理が利用される。

【0079】ここで、第1のダイナミック型論理ゲート262の評価用のトランジスタである低閾値のNMOSトランジスタで構成される回路251を評価フェーズにおいて電荷蓄積ノードC1に充電された電荷を放電するように構成すると、第1のダイナミック型論理ゲート262の出力信号は「0」となり、次段に接続されたインバータ263においては電源電位側に配置された低閾値のPMOSトランジスタ257が駆動されるためその動作速度は高められる。また、上述したように、第1のダイナミック型論理ゲート262及び第2のダイナミック型論理ゲート264においても評価用の回路251及び260は共に低閾値のトランジスタで構成されるためにその動作速度は高められる。

【0080】一方、スタンバイ時において、第1のダイナミック型論理ゲート262及び第2のダイナミック型論理ゲート264では共にプリチャージ用のトランジスタ250及び259を高閾値のPMOSトランジスタとしているので、クロック信号Φに「1」を設定してこのプリチャージ用のトランジスタ250及び259を遮断(オフ)するようにすれば電源電位から接地電位へ至るパスのリーク電流を有効にカットすることができる。

【0081】また、スタンバイ時において、第1のダイナミック型論理ゲート262の評価用のトランジスタである低閾値のNMOSトランジスタで構成される回路251を評価フェーズにおいて電荷蓄積ノードC1に充電された電荷を放電するように構成すると、即ち回路251に接続される複数の入力端子Input1、Input2・・・Inputnの全てに信号値「1」を与えるようにすると、その出力信号は「0」となり、第1のダイナミック型論理ゲート262の出力に接続されたインバータ263においては接地電位側に配置された高閾値のNMOSトランジスタ258が遮断(オフ)するため、インバータ263においても電源電位から接地電位へ至るパスのリーク電流を有効にカットすることができる。このように、ダイナミック型論理ゲートだけではなく、ドミノ論理によって挿入されたインバータにおいてもリーク電流を有効にカットでき、回路の低消費電力性に一層の拍車かけられることとなる。

【0082】図13においては、第1のダイナミック型論理ゲート282が、インバータ283を介して第2のダイナミック型論理ゲート284に接続されている。ここで、第1のダイナミック型論理ゲート282は、図11(a)で示されるダイナミック型論理ゲートと全く同

に構成をしている。即ち、第1のダイナミック型論理ゲート282においては、クロック端子CKがプリチャージ用のトランジスタである高閾値のNMOSトランジスタ270のゲートとダイナミック型論理ゲートの動作の安定化のために使用される低閾値のPMOSトランジスタ272のゲートに接続され、複数の入力端子Input1、Input2・・・Inputnが評価用のトランジスタである低閾値のPMOSトランジスタ273、274及び275によって構成される回路271に接続され、プリチャージ用のトランジスタである高閾値のNMOSトランジスタ270と回路271とが接続されるノード276に出力端子が接続されると共に電荷蓄積ノードC1が接続される。なお、上述したように、回路271内には3個の評価用のトランジスタ273、274及び275のみが記載されているが、この評価用の回路の構成はゲートが有する機能によって決定されるために、3個とは限られず3個未満の場合や4個以上の場合も当然にあり得る。

【0083】第2のダイナミック型論理ゲート284も、図11(a)で示されるダイナミック型論理ゲートと全く同じ構成をしている。クロック端子CKがプリチャージ用のトランジスタである高閾値のNMOSトランジスタ279のゲートとダイナミック型論理ゲートの動作の安定化のために使用される低閾値のPMOSトランジスタ281のゲートに接続され（接続線は図示されない）、複数の入力端子Input1、Input2・・・Inputnが評価用のトランジスタで構成される回路280に接続されているが、簡略化のため、出力端子に接続される電荷蓄積ノードC1は省略されている。また、回路280の内部構成は、そのゲートの機能により決定されるために特定していないが、評価用のトランジスタである低閾値のPMOSトランジスタで構成される。

【0084】インバータ283は、高閾値のPMOSトランジスタ277が電源電位側に配置され、低閾値のNMOSトランジスタ278が接地電位側に配置されている。第1のダイナミック型論理ゲート282の出力端子はインバータ283の入力端子に接続され、インバータ283の出力端子は第2のダイナミック型論理ゲート284の入力端子に接続される。

【0085】図13に示す回路構成は、前述したドミノ論理を利用したものである。図12との相違は、図12で使用されるダイナミック型論理ゲートは図10で示すダイナミック型論理ゲート、即ちプリチャージ用のトランジスタが高閾値のPMOSトランジスタであるダイナミック型論理ゲートであり、図13で使用されるダイナミック型論理ゲートは図11で示すダイナミック型論理ゲート、即ちプリチャージ用のトランジスタが高閾値のNMOSトランジスタであるダイナミック型論理ゲートであることである。

【0086】ここで、第1のダイナミック型論理ゲート282の評価用のトランジスタである低閾値のPMOSトランジスタで構成される回路271を評価フェーズにおいて電荷蓄積ノードC1に電荷を充電するように構成すると、第1のダイナミック型論理ゲート282の出力信号は「1」となり、次段に接続されたインバータ283において接地電位側に配置された低閾値のNMOSトランジスタ278が駆動されるためにその動作速度は高められる。また、上述したように、第1のダイナミック型論理ゲート282及び第2のダイナミック型論理ゲート284においても評価用の回路271及び280は共に低閾値のトランジスタで構成されるためにその動作速度は高められる。

【0087】一方、スタンバイ時において、第1のダイナミック型論理ゲート282及び第2のダイナミック型論理ゲート284では共にプリチャージ用のトランジスタ270及び279を高閾値のNMOSトランジスタとしているので、クロック信号Φに「0」を設定してこのプリチャージ用のトランジスタ270及び279を遮断（オフ）させるようにすれば電源電位から接地電位へ至るパスのリーク電流を有効にカットすることができる。

【0088】また、スタンバイ時において、第1のダイナミック型論理ゲート282の評価用のトランジスタである低閾値のPMOSトランジスタで構成される回路271を評価フェーズにおいて電荷蓄積ノードC1に電荷を充電するように構成すると、即ち回路271に接続される複数の入力端子Input1、Input2・・・Inputnの全てに信号値「0」を与えるようにすると、その出力信号は「1」となり、第1のダイナミック型論理ゲート282の出力に接続されたインバータ283において電源電位側に配置された高閾値のPMOSトランジスタ277が遮断（オフ）するため、インバータ283においても電源電位から接地電位へ至るパスのリーク電流を有効にカットすることができる。このように、ダイナミック型論理ゲートだけではなく、ドミノ論理によって挿入されたインバータにおいてもリーク電流を有効にカットでき、回路の低消費電力性に一層の拍車がかけられることとなる。

【0089】図14及び図15において、ダイナミック型論理ゲートを利用した本発明の第7実施例を示す。図14においては、ダイナミック型論理ゲートで構成される回路の入力が選択的にフリップフロップ若しくはラッチの出力に接続されるか、又はスリープ信号としての電源電位に接続される。ここで、スリープ信号とは、スタンバイ時において外部から回路に与えられる所定の信号情報（スタンバイ状態101）を意味する。

【0090】ダイナミック型論理ゲート302、303、304、305及び306は、プリチャージ用のトランジスタが高閾値のPMOSトランジスタであり、入力端子が評価用のトランジスタである低閾値のNMOS

トランジスタで構成される回路に入力される、図10(a)で示されるダイナミック型論理ゲートである。図14において、PMOSTランジスタ307、308、309、310及び311はダイナミック型論理ゲート302、303、304、305及び306のプリチャージ用の高閾値のPMOSTランジスタであってクロック信号Φが供給され、回路312、313、314、315及び316はダイナミック型論理ゲート302、303、304、305及び306の低閾値のNMOSTランジスタで構成される評価用の回路である。

【0091】ダイナミック型論理ゲート302の出力がダイナミック型論理ゲート303とダイナミック型論理ゲート304とダイナミック型論理ゲート306の入力に接続され、ダイナミック型論理ゲート305の出力がダイナミック型論理ゲート306の入力に接続されている。また、ダイナミック型論理ゲート302の入力は、選択的にフリップフロップ(FF)300の出力又は電源317に接続され、ダイナミック型論理ゲート305の入力は、選択的にラッチ(Latch)301の出力又は電源318に接続される。

【0092】ダイナミック型論理ゲート302及びダイナミック型論理ゲート305の入力は、回路の動作時にはそれぞれフリップフロップ(FF)300及びラッチ(Latch)301に接続され、スタンバイ時にはそれぞれ電源317及び318に接続される。この電源317及び318は、スリープ信号であり、スタンバイ時において回路全体のノード電位を電源電位に固定する役割を果たす。従って、スタンバイ時にはダイナミック型論理ゲート302及び305の入力が電源電位に固定され、即ちスタンバイ時にはダイナミック型論理ゲート302及び305の全ての入力に信号値「1」が供給されるので、ダイナミック型論理ゲート302及び305のプリチャージ用のトランジスタに供給するクロック信号Φを「1」と設定すれば、ダイナミック型論理ゲートの302及び305の出力信号は「0」となる。このため、ドミノ論理を使用しダイナミック型論理ゲート間にインバータを挿入した場合には、インバータには常に信号値「0」が入力され、インバータからは常に信号値「1」が出力されて、次段のダイナミック型論理ゲートには常に信号値「1」が供給されることになる。この場合においては、低閾値のNMOSTランジスタが電源電位側に配置され、高閾値のPMOSTランジスタが接地電位側に配置される図11に示すインバータを使用する。そのため、スタンバイ時には、ダイナミック型論理ゲートだけでなくダイナミック型論理ゲート間に挿入されたインバータにおいても、高閾値のNMOSTランジスタが遮断(オフ)して電源電位から接地電位へ至るパスのリーク電流を有効にカットすることができる。

【0093】このように、スリープ信号を電源電位とし

てスタンバイすることにより、スタンバイ時において、回路全体のノード電位、即ち各ダイナミック型論理ゲートへの入力信号を容易に固定することができ、安定したリーク電流のカットを有効に行うことができる。図15においては、図14と同様に、ダイナミック型論理ゲートで構成される回路の入力が選択的にフリップフロップ若しくはラッチの出力に接続されるか、又はスリープ信号としての電源電位に接続される。ここで、スリープ信号とは、上述したように、スタンバイ時において外部から回路に与えられる所定の信号情報(スタンバイ状態101)を意味する。

【0094】ダイナミック型論理ゲート322、323、324、325及び326は、全てプリチャージ用のトランジスタが高閾値のNMOSTランジスタであり、その入力端子が評価用の低閾値のPMOSTランジスタで構成される回路に入力される、図11(a)で示されるダイナミック型論理ゲートである。図15において、PMOSTランジスタ327、328、329、330及び331はダイナミック型論理ゲート332、333、334、335及び336のプリチャージ用の高閾値のNMOSTランジスタであってクロック信号Φが供給され、また、回路332、333、334、335及び336はダイナミック型論理ゲート322、323、324、325及び326の低閾値のPMOSTランジスタで構成される評価用の回路である。

【0095】ダイナミック型論理ゲート322の出力がダイナミック型論理ゲート323とダイナミック型論理ゲート324とダイナミック型論理ゲート326の入力に接続され、ダイナミック型論理ゲート325の出力がダイナミック型論理ゲート326の入力に接続されている。また、ダイナミック型論理ゲート322の入力は、選択的にフリップフロップ(FF)320の出力又は接地電源337に接続され、ダイナミック型論理ゲート325の入力は、選択的にラッチ(Latch)321の出力又は接地電源338に接続される。

【0096】ダイナミック型論理ゲート322及びダイナミック型論理ゲート325の入力は、回路の動作時にはそれぞれフリップフロップ(FF)320及びラッチ(Latch)321に接続され、スタンバイ時にはそれぞれ接地電源337及び338に接続される。この接地電源337及び338は、スリープ信号、即ちスタンバイ時において回路全体のノード電位を接地電位に固定する役割を果たす。従って、スタンバイ時にはダイナミック型論理ゲート322及び325の入力が接地電位に固定され、即ちスタンバイ時にはダイナミック型論理ゲート322及び325の入力に信号値「0」が供給されるので、ダイナミック型論理ゲート322及び325のプリチャージ用のトランジスタ327及び330に供給する信号値を「0」と設定すれば、ダイナミック型論理ゲートの出力信号322及

び325は信号値「1」となる。このため、ドミノ論理を使用してダイナミック型論理ゲート間にインバータを挿入した場合には、インバータには常に信号値「1」が入力され、インバータからは常に信号値「0」が出力され、次段のダイナミック型論理ゲートには常に信号値「0」が供給されることになる。この場合においては、高閾値のPMOSトランジスタが電源電位側に配置され、低閾値のNMOSトランジスタが接地電位側に配置される図12に示すインバータを使用する。そのため、ダイナミック型論理ゲートだけではなくダイナミック型論理ゲート間に挿入されたインバータにおいても、スタンバイ時には高閾値のPMOSトランジスタが遮断（オフ）して電源電位から接地電位へ至るパスのリーク電流を有効にカットすることができる。

【0097】このように、スリープ信号を接地電位としてスタンバイすることにより、スタンバイ時において容易に回路全体のノード電位を固定することができ、安定したリーク電流のカットを有効に行うことができる。

【0098】

【発明の効果】以上説明した様に、本発明によれば、既存のCADシステムを容易に利用することができる。また、セルの置き換えのみが行われるために回路規模を増大させることもない。このように、本発明によれば、既存のCADシステムを利用して回路規模を増大させることなくスタンバイ時におけるリーク電流を効果的に抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1の原理図を示す図である。

【図2】本発明の第2の原理図を示す図である。

【図3】本発明のセルの第1の原理図を示す図である。

【図4】本発明の第1の実施例を示す図である。

【図5】本発明の第2の実施例を示す図である。

【図6】本発明の第3の実施例を示す図である。

【図7】本発明の第4の実施例を示す図である。

【図8】本発明の第3の原理図を示す図である。

【図9】本発明の第5の実施例を示す図である。

【図10】本発明のセルの第2の原理図を示す図である。

【図11】本発明のセルの第2の原理図を示す図である。

【図12】本発明の第6の実施例を示す図である。

【図13】本発明の第6の実施例を示す図である。

【図14】本発明の第7の実施例を示す図である。

【図15】本発明の第7の実施例を示す図である。

【図16】従来技術を示す図である。

【符号の説明】

100 既存回路のネットリスト  
101 信号情報  
102 内部信号設定手段  
103 セルライブラリ

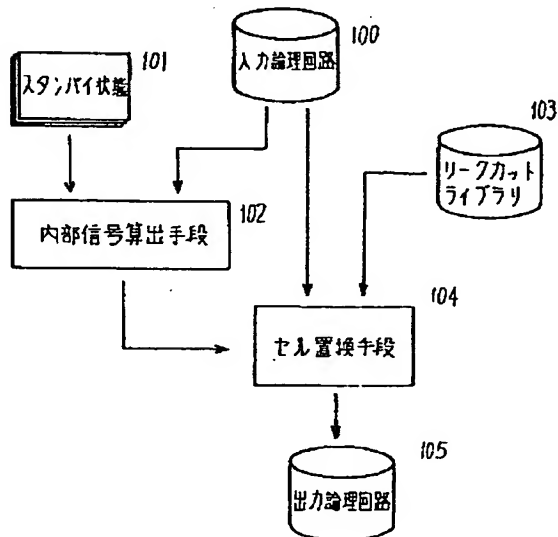
104 セル置換手段  
105 新規ネットリスト  
106 既存回路のRTL記述  
107 論理合成するために必要な情報  
108 新規RTL記述  
109 スタンバイ時において既存論理回路内の各ノードに設定される信号値  
110 セルを選択する手段  
111 最良のセルを選択する手段  
112 セル置換手段  
150 低閾値のPMOSトランジスタで構成される第1の回路  
151 低閾値のPMOSトランジスタで構成される第2の回路  
152 高閾値のNMOSトランジスタ  
153 出力ノード  
154 高閾値のPMOSトランジスタ  
155 低閾値のNMOSトランジスタで構成される第1の回路  
156 低閾値のNMOSトランジスタで構成される第2の回路  
157 出力ノード  
160 高閾値のPMOSトランジスタ  
161 低閾値のNMOSトランジスタで構成される回路  
162 低閾値のNMOSトランジスタ  
163, 164, 165 低閾値のNMOSトランジスタ  
166 出力ノード  
170 高閾値のNMOSトランジスタ  
171 低閾値のPMOSトランジスタで構成される回路  
172 低閾値のPMOSトランジスタ  
173, 174, 175 低閾値のPMOSトランジスタ  
176 出力ノード  
201, 202, 203 Dフリップフロップ  
204, 205, 207 第1のNANDゲート  
206 第2のNANDゲート  
207, 208 低閾値のPMOSトランジスタ  
209 低閾値のNMOSトランジスタ  
210 高閾値のNMOSトランジスタ  
211, 212 高閾値のPMOSトランジスタ  
213, 214 低閾値のNMOSトランジスタ  
208, 209, 210 スキャン付きDフリップフロップ  
211, 212, 214 第1のNANDゲート  
213 第2のNANDゲート  
215 メモリ  
250 高閾値のPMOSトランジスタ

251 低閾値のNMOSトランジスタで構成される回路  
 252, 253, 254, 255 低閾値のNMOSトランジスタ  
 256 出力ノード  
 257 低閾値のPMOSトランジスタ  
 258 高閾値のNMOSトランジスタ  
 259 高閾値のPMOSトランジスタ  
 260 低閾値のNMOSトランジスタで構成される回路  
 261 低閾値のNMOSトランジスタ  
 262 第1のダイナミック型論理ゲート  
 263 インバータ  
 264 第2のダイナミック型論理ゲート  
 270 高閾値のNMOSトランジスタ  
 271 低閾値のPMOSトランジスタで構成される回路  
 272, 273, 274, 275 低閾値のPMOSトランジスタ  
 276 出力ノード  
 277 低閾値のPMOSトランジスタ  
 278 高閾値のNMOSトランジスタ  
 279 高閾値のNMOSトランジスタ  
 280 低閾値のPMOSトランジスタで構成される

回路  
 281 低閾値のPMOSトランジスタ  
 282 第1のダイナミック型論理ゲート  
 283 インバータ  
 284 第2のダイナミック型論理ゲート  
 300 フリップフロップ  
 301 ラッチ  
 302, 303, 304, 305, 306 ダイナミック型論理ゲート  
 307, 308, 309, 310, 311 高閾値のPMOSトランジスタ  
 312, 313, 314, 315, 316 低閾値のNMOSトランジスタで構成される回路  
 317, 318 電源  
 320 フリップフロップ  
 321 ラッチ  
 322, 323, 324, 325, 326 ダイナミック型論理ゲート  
 327, 328, 329, 330, 331 高閾値のNMOSトランジスタ  
 332, 333, 334, 335, 336 低閾値のPMOSトランジスタで構成される回路  
 337, 338 接地電源

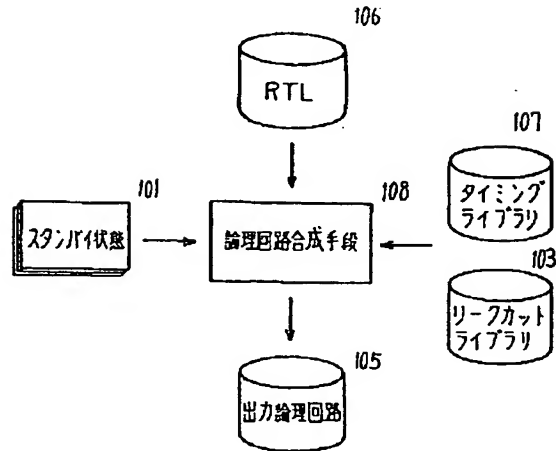
【図1】

本発明の第1の原理図



【図2】

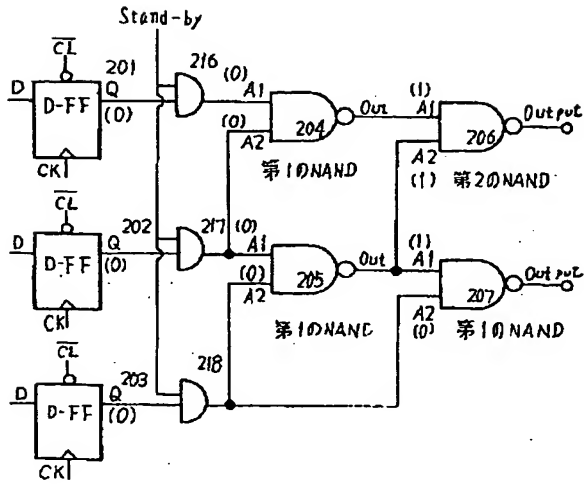
本発明の第2の原理図





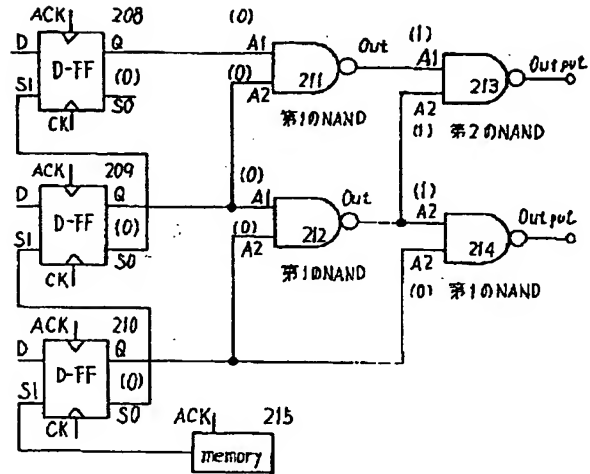
【図 6】

本発明の第3の実施例



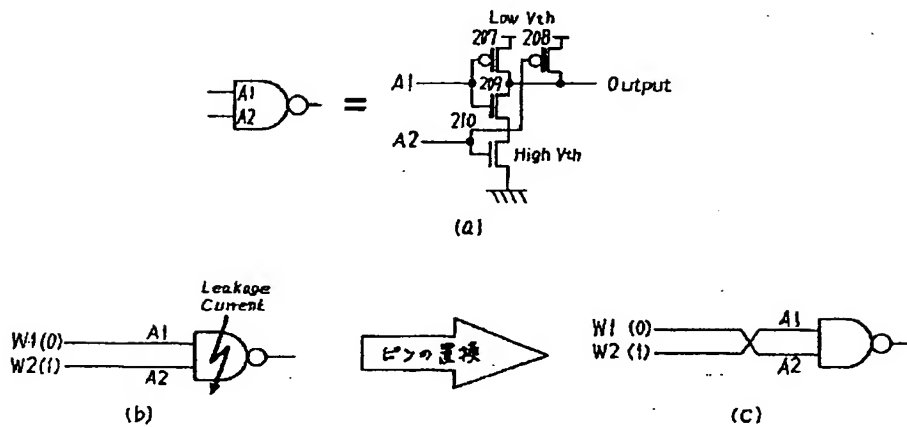
【図 7】

本発明の第4の実施例



【図 9】

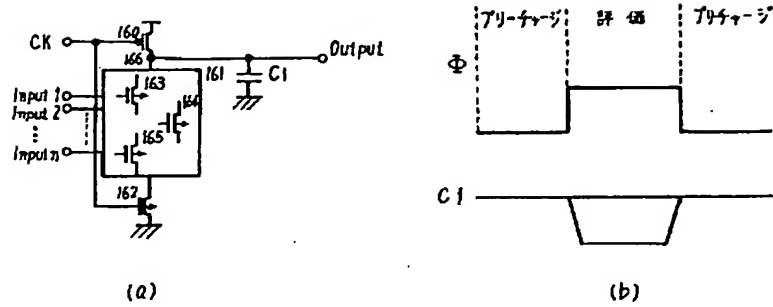
本発明の第5の実施例





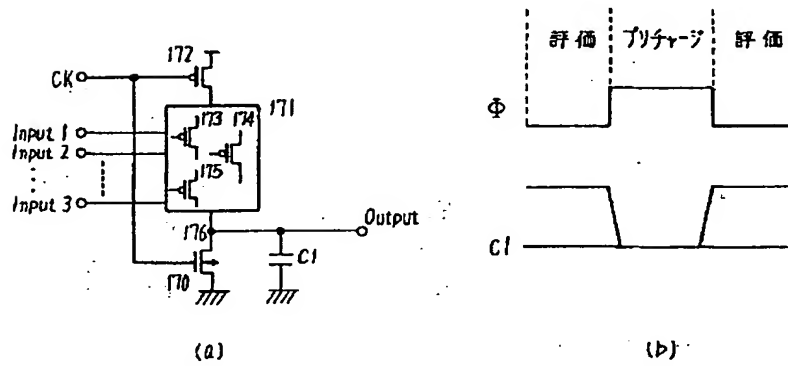
【図 10】

本発明セルの第2の原理図 (1)



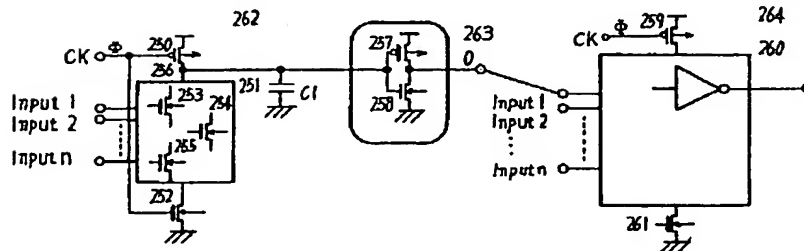
【図 11】

本発明のセルの第2の原理図 (2)



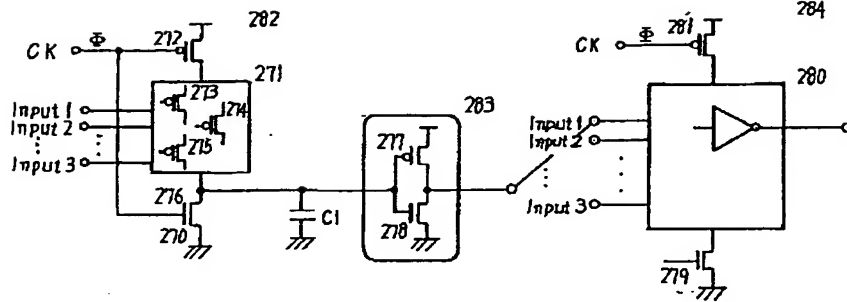
【図 12】

本発明の第6の実施例 (1)



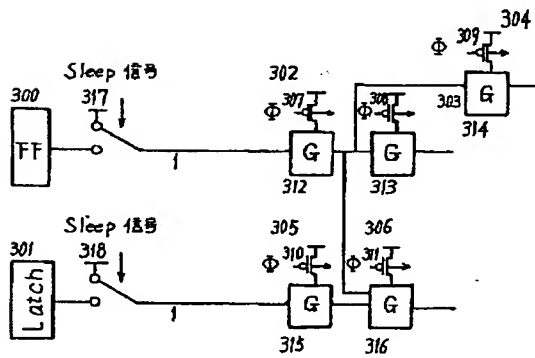
【図 13】

本発明の第6の実施例(2)



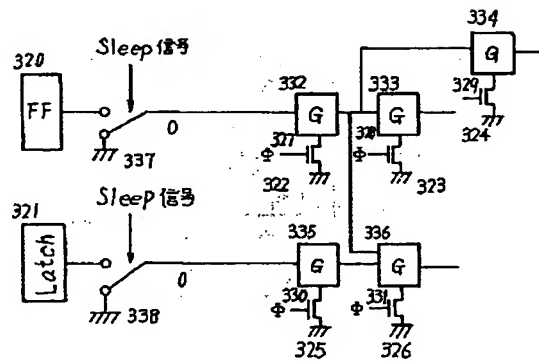
【図 14】

本発明の第7の実施例(1)



【図 15】

本発明の第7の実施例(2)



【図 16】

従来技術

